



(3000円)

特 許 願

(特許法第33条に
の規定による特許出願)

昭和 47年 6月 16日

特許庁長官 井 土 武 人 殿

1. 発 明 の 名 称
複合信号におけるアナログ-デジタル変換方式

2. 特許請求の範囲に記載された発明の数 3

3. 発 明 者

住 所 アメリカ合衆国、イリノイ・60013、ディアフィールド
ハーベル・アベニュー・1030

氏 名 トーマス・ヘラッド・バーディック

4. 特許出願人

住 所 アメリカ合衆国、イリノイ・60053、モートン・グローブ
リンカン・アベニュー・6501
名 称 パスター・ワイドブレイズ・インコーポレイテッド
代 表 者 レオナード・ジョージ・ワシントン
国 籍 アメリカ合衆国

5. 代 理 人 大阪市北区万才町43番地 浪速ビル

(代表者) 電話大阪(06)312-8123・7663・261-8401

(6200) 弁護士 川 口 義 雄

6. 添付書類の目録

- (1) 明 細 書 1通
- (2) 図 面 1通
- (3) 委 任 状 及び同訳文各1通

47 060004

明 細 書

1. 発明の名称

複合信号におけるアナログ-デジタル変換方式

2. 特許請求の範囲

(1) アナログ信号とそれに重畳した同期パルスとを複合信号とする変換方式において、前記複合信号を周期的にサンプリングする手段と、複合信号の大きさを表わすデジタル値を作成するための前記サンプリング手段に依存して動作し各サンプリングデジタル値を作成するアナログ-デジタル変換手段と、前記デジタル値を蓄積するための蓄積手段と、同期パルスを検出するための前記複合信号に連続して応答する手段と、検出した各同期パルスに依存して、前記蓄積手段に特定デジタル値を格納するため前記検出手段に依存して動作する手段とにより構成される複合信号におけるアナログ-デジタル変換方式。

⑬ 日本国特許庁

公開特許公報

①特開昭 49-24458

④公開日 昭49.(1974) 3. 4

⑦特願昭 47-60004

②出願日 昭47.(1972) 6 15

審査請求 未請求 (全7頁)

庁内整理番号

③日本分類

6503 66
7227 54

105 A223
94 A15

(2) 前記特定デジタル値格納手段は、計数器と、前記電圧分別手段からの各出力パルスに依存して前記計数器に特定計数値を格納するための前記電圧分別手段を前記計数器に結合する中継手段と、前記蓄積手段の蓄積デジタル値を周期的に除去し前記計数器の計数値を周期的に補償してゆく手段と、前記計数器の経度された計数値が所定設定値と等しくなる場合、前記蓄積手段がリセットされた後に周期的にこの蓄積手段に特定デジタル値を設定するため前記計数器に依存して動作する手段とから構成されている第1発明に記載の方式。

3. 発明の詳細な説明

近年デジタルデータの作成装置は随分と増加し、分析に広く用いられるようになった。たとえば、一例として患者から得られる必要信号をアナログ形からデジタル形に変換し、このデジタル信号を電路回路によつて連続的に中継し、ディジ

特開昭49-24458(2)

ル信号を検知患者から得たアナログ形に変換する装置がある。この装置によると、遠隔地の専門医が診断や患者に授ける治療法への治療上の注意を与える事が可能になる。このような装置においても再生心電信号がデジタル信号に変換される心電信号に含まれている患者の心臓又は患者に加えられたすべての心臓刺激信号や調整信号を含んでいるとそれは専門医の診断の助けとなる。

しかし乍ら、現行アナログ-デジタル変換装置においては到来するアナログ信号は間歇的に標本化され標本時の信号の大きさは積算デジタル値(multi-bit digital value)に変換されるが、実際の標本化時時は標本化間隔に比して通常極めて短くそのためもし到来アナログ信号上に心臓刺激信号、調整信号、同期パルスの積算時パルスが重畳していると、それらのパルスが標本化間隔間に到来した場合欠損する事になる。この標本化装置においては、刺激信号、調整信号のう

ちデータをアナログ-デジタル変換する間に欠損されるものもあり、専門医が患者からとり出す全データを得ることができない欠点をもっている。

この同時パルスの欠損は予想されるいかなる同時パルス巾よりもサンプリング間隔の方が狭くなるようにサンプリング率を増やす事で防がれるが、ほとんどの場合回路構成を増加する出力データ数をばくために設計する必要があり非常に高価なものとなる。

本発明の目的とするは、アナログ信号とそれに関連するもしくはそれに重畳する

(SUPERIMPOSED)同時パルスをデジタル値に変換する簡単な装置な手段を提供する事にある。

本発明の目的は、前記パルスがたとえアナログ信号が標本化変換されていない場合に発生しても、互いに組合せられたアナログ信号と同時パルスをデジタル値を発生させるためにアナログ-デジタル変換時と重畳する手段を提供する事にある。

る。本発明は互いに関連したアナログ信号と同時パルスを表す一連のデジタル信号を作成するためのアナログ-デジタル変換装置を提供する事を目的としそのため本発明装置は前記アナログ信号を定期的に標本化するための前記手段と、標本化されたアナログ信号の大きさを表すデジタル信号を作成するための前記標本化手段に匹敵するアナログ-デジタル変換器と、前記デジタル信号を蓄積するための記憶手段と、特定組合せの信号を前記記憶手段に入力するための前記同時パルスに匹敵する手段とから成っている。

本発明の他の目的は、アナログ信号に同時パルスを付加された形の複合信号を標本化する手段と、標本化信号をデジタル値に変換する手段と、前記複合信号に関連して匹敵する微分手段と、微分器の出力が特定値を越えるものかどうかを決定するための比較手段と、同時パルスを表すデジタル値を発生させるための比較手段との匹敵手段

とを提供する事にある。この装置に交換手段からのデジタル値か、同時パルスを表すデジタル値かのいずれかを蓄積するためのバッファレジスタを備えてもよい。

この比較手段に匹敵する手段には比較器からの各出力パルス毎に一定の値Nに約以て設定される計数器を含む事も可能である。この計数器は各標本化間隔の間に1つずつ減少せられる。この計数器からの出力は、同時パルスが検知された後の連続する標本化間隔N回の間、バッファレジスタに同時パルスを表す固定値を設定するために用いられる。従つてこのN値を調整する事によつて、本発明のデジタル出力を変える事ができ、その結果としてデジタル値をアナログ波に変換する同時パルスの巾を変える事ができる。

以下本発明の目的及び動作状態について簡明に基づき説明する。

第1図は本発明の1実施例は、入力増幅器10、

特開昭49-24458(3)

標本化ゲート12、アナログ-デジタル変換器14とバッファ又は蓄積レジスタ(buffer or storage register)16を含んでいる。第2図に示される様な複合信号は供給源(図示していない)から出力され、ライン8を介して増幅器10に輸入される。この複合信号はアナログ信号20が1ヶ又はそれ以上の瞬時パルス22をその上に付加した形で構成されている。以下本明細書で明らかにされる様に、このアナログ信号は、心電信号等のいかなる信号でも良く、瞬時パルスは変化する大きさにおいて、アナログ信号と判別可能な調整信号又は同期信号等のいかなる信号でも良い。

増幅器10の出力は標本化ゲート12の1入力端に結合され、標本化ゲート12はタイミングパルス発生器又はデータ生成装置(図示していない)からゲートパルスCP1を伝える第二の入力ライン、即ち駆動入力ライン24に接続されている。このタイミングパルスCP1は第2図に示すごとく

周波数1/Tで周期的に発生しそのパルス巾は1である。

標本化ゲート12はライン24のパルスによつて駆動される度にアナログ-デジタル変換器14の入力端子に輸入するため増幅器10の出力をライン26に出力する。この変換器14は又各タイミングパルスCP1によつて駆動されている。これによつて、各標本化時間間隔1の間、この変換器14はこの時間間隔における複合アナログ信号に対応した複合デジタル値を構成する。これらの各デジタル値はライン28を介してバッファレジスタ16に輸入され、そこで一時的に蓄積される。一方このバッファレジスタ16にはライン30よりタイミングパルスCP2が輸入されこれらのタイミングパルスCP2によつてバッファレジスタ16の内部のデジタル値が読みとられ、バッファレジスタ16がリセットされる。このバッファレジスタ16から読みとられたデジタル

値はライン32を介してデータ生成装置に供給される。

上記した標本化ゲート12、アナログ-デジタルコンバータ14、バッファレジスタ16は、一般的にアナログ-デジタルコンバータを構成しており、変換器14の形態は、現在本技術分野で知られている幾々の変換器のいずれか一つで良く出力形態は並列又は直列形の所望のデジタルコードであれば良い。本実施例においては、コンバータ14からの出力は並列8ビット2進コード値であると仮定し、このためバッファレジスタ16は並列型で8ビット8進値の情報を蓄積する手段を備えており、第1図において仮定路線を示す。ライン28、32は各々8本のリード線によつて構成されている。

第2図において波形20の太い線分で表わされた部分は、各CP1のパルスの発生している間に標本化される波形20の各部分を示している。この

太線で表わされる各標本は標本化時間間隔における波形20の大きさを表わす8ビットのデジタル値に変換され、この値はバッファレジスタ16に蓄積される。その後ライン30からのCP2パルスによつてバッファレジスタ16中のデジタル値はライン32に出力され、それとともにCP2パルスは次のCP1パルスによつて生ずる他のデジタル値を受信するためにバッファレジスタ16の内部状態を初期状態にもどす。

上記した一般的アナログ-デジタルコンバータにおいても、デジタル値に変換された後再びアナログ信号に変換されることにより初期アナログ信号の再生が可能を一連のデジタル情報量にアナログ信号20を変換する機能は十分である。この一般的アナログ-デジタル変換器14は又CP1タイミングパルスの発生に重なる時間間隔の間に瞬時パルスが発生することを前提としてアナログ信号20に重畳した瞬時パルスをも又ディジ

特開昭49-24458(4)

カル値に変換する。しかし乍ら、パルス2次の後にCP1タイミングパルスの発生時間の関係と異なる間に瞬時パルスが発生すると、この瞬時パルスを表わすデジタル値は全く発生しない。そこで、デジタル形に作成された後、この複合信号が再生された場合、この瞬時パルス2次の発生を表わす信号が全く含まれない事になる。もしこの瞬時パルスが調整信号であると、この再生複合信号の読取若しは調整器が正確に動作していないと考える事になるか、又は瞬時パルスが調整信号を表わしていると再生波からは同期性が失われる事になりかねない。

この瞬時パルスの欠損を補償するため本発明においては、その発生時間にかかわらずすべての瞬時パルスを検出し、瞬時パルスの発生毎にバッファレジスタ15にこの瞬時パルスを表わす特定信号を送りこむ手段を講じている。この瞬時パルスの検出手段は微分回路34と電圧弁別手段36と

から成っている。この電圧弁別手段36は、たとえばシュミットトリガ回路又は入力値を比較電圧VBに設定した比較増幅器等で構成するとよい。増幅器16の出力はライン38介して微分回路34に輸入されこの微分回路34の出力はライン40を介して電圧弁別手段36の第2入力に接続している。

この電圧弁別手段36の出力はライン42によつてカウンタ44に接続されており、ライン42に各パルスが出力されると、カウンタ44に第1特定値Nを設定する。このカウンタ44はまた入力ライン46からタイミングパルスCP2を受けており、このライン46からの各パルスによつてカウンタ44中の許数値Nは1ずつ減少する。カウンタ44からの様々な出力は検出回路48に接続され検出回路48はカウンタ44が第2特定値をとらぬ限りライン50に出力する。本明細書で簡略化するためこの第2特定値を0とする。換

出手段48からの出力ライン50は、たとえばレジスタ44が8段に構成されている(11111111)の様な番数可能な最大値を設定するためにバッファレジスタ16の各段に接続されている。

瞬時パルス検出回路の動作はアナログ信号電圧の最大変化率が瞬時パルス電圧の最大変化率よりも可成り小さい事実に基づいており、たとえば調整信号の立ち上り時間は心電図信号最大立ち上り時間の約10倍の遅さになるのが普通である。

増幅器16の出力に生ずる複合信号はライン38を介して微分回路34に輸入される。この微分回路は良く知られている様に、その出力電圧が入力された信号の電圧変化率に関連した出力を構成する。すなわち、アナログ信号20の電圧変化の結果リード40に生ずる電圧は微分回路34に挿入された瞬時パルスの結果ライン40に生ずる電圧に比して小さな電圧となる。そこで、比較増幅器36の第1端子比較電圧VBがアナログ信号

20の電圧変化によつてライン40に生ずるいかなる電圧より高い電圧でかつ微分回路34に挿入された瞬時パルスの結果ライン40に生ずる電圧の高さよりも低くなるように前記比較電圧VBを調整すると、比較増幅器36は微分回路34に瞬時パルスが入力される毎にライン42に出力パルスを生ずる。

このライン42の各パルスはすぐさまカウンタ44に、たとえばカウンタ数8の様な特定数のカウントを設定する。そこで非ゼロ検出器(non-zero detector)48はカウンタ44のゼロでないカウント数を検出してバッファレジスタ16に最大値を設定するためにライン50に出力する。これによつて標準化周波数のいかなる位置で瞬時パルスが発生しても、これによつてすぐさまバッファレジスタ16に最大値の値を込めをする事ができる。

この時点においてバッファレジスタ16にはア

特開昭49-244585

ナログ信号を時間CP1との間に導本化した結果のデジタル値をすでに蓄積しているかもしれないが、このデジタル値は8ビット2進数値に蓄積可能な最大値(11111111)よりは小さな値であり、従つてライン50の信号はすでに記録されている値を最大値を兼ねる値に変換するために、これも計数部の0を蓄積している各段をすべて1に設定する作用をする。一方もし瞬時パルスがCP2の後でかつ次のCP1の前に発生すると、レジスタ16は2進数0を全段に蓄積しておりライン50の信号はこれらの0をすべて2進数1に変換する。瞬時パルスの後に生ずる最初のCP2タイミングパルスはバッファレジスタ16中に保持された最大値を回路32に読み出すためにライン30を介してこのバッファレジスタ16に加えられる。ライン30のパルスはバッファレジスタ16をリセットするが、カウンタ44のカウント数が0でないからライン50の信号は直ちにバッファレ

ジスタ16に最大値の再読み込みを行う。これと同時にライン46のCP2タイミングパルスはカウンタ44のカウント数を1ずつ減らして行く。

前記した様にカウンタ44はカウント数を計数していたので、之に続く次の4つの周期の間、CP2タイミングパルスはリード30を介してバッファレジスタ16に輸入されそこから最大値を読み出しカウンタ44中のカウント数を1ずつ減らして行く。瞬時パルスから起算して6番目のCP2タイミングパルスはカウンタ44中のカウント数を0にしそれによりリード30の信号はバッファレジスタ16が0値を計数する様にバッファレジスタをリセットする。カウンタが0を計数すると、もはやリード30にはバッファレジスタ16を最大値に設定する信号が存在しないので、バッファレジスタ16は最大値に設定される事はない。瞬時パルス検出手段とカウンタ44とは次の瞬時パルスが検分回路34に他の瞬時パルスが

入力されるまで、不動しない状態に保たれている。

前記した様に、バッファレジスタ16からのこのデジタル出力はデジタル形に拘束され第2図に示される場合信号を再生するためにもとのアナログ形に再変換されるかもしれない。カウンタ44の目的は再生複合アナログ信号中の瞬時パルス(22, 22')の中調整を可能にする事で、もしカウンタ44が選択スイッチを備えておれば、操作者はリード42の各パルスに 대응してカウンタに設定される値Nをもつて選択する事が可能である。上記の説明から明らかなど、このカウント数は最大値がバッファレジスタ16に導入される周期数を決定し、これによつて複合信号が再生される時この最大値がアナログ信号に変換され回数が決まる。

瞬時パルスが検出された結果バッファレジスタ16に導入される値がこの瞬時パルス自体の大きさに何ら関係をもたない最大値であるので再生波

形中の瞬時パルスは本来の瞬時パルスの大きさと関係をもたない最大値をとる事になる。

本発明実施例の明細は図面に示した通りであるが、様々な変形が本発明の要旨にそつて考えられる。たとえば、本発明は瞬時パルスがアナログ信号に重畳した場合に限らず、この瞬時パルスがアナログ信号と同期を保つていれば、アナログ信号とは個別に発生しても全く同様に利用できる。この場合アナログ信号は増幅器10に輸入され、一方検分回路の入力端子は瞬時パルス発生源にのみ結合される。この様に少しの変形で、本発明は瞬時パルスが重畳していない様なアナログ信号においても互いに関係したアナログ信号と瞬時パルスを再生する為のデジタル値を得る事が可能である。

本発明の実施の態様は下記の様に要約される。

(1) 特定デジタル値入力手段は検出された各瞬時パルスに 応答して前記蓄積手段に反照して特定

デジタル値を設定する手段を含む特許請求の範囲に記載の方式。

(12) 前記特定デジタル値を導入する手段が、計数部と各出力パルスにตอบสนองして前記計数部に特定数の計数値を導入するため前記計数部にตอบสนองする手段と、前記計数手段の蓄積デジタル値を周期的に除去し前記カウンタの計数値を軽減してゆく手段と、もし前記計数部の軽減された計数値が第2設定値と等しくない場合前記計数手段がリセットされた後に周期的にこの蓄積手段に特定デジタル値を設定するため前記計数部にตอบสนองして動作する手段とより成る特許請求の範囲に記載の方式。

(13) 前記瞬時パルス検出手段が微分回路と電圧弁別手段とにより構成されており、前記微分回路は出力電圧が前記指令信号の電圧変化率に関連した出力信号を構成するためのものであり、前記電圧弁別手段は前記出力信号が特定閾値電圧を超える

定組合せの信号を反復して導入する手段で構成されている前記に記載の変換方式。

(14) 前記瞬時パルス応答手段が、出力電圧が前記瞬時パルスの電圧変化率に関連した出力信号を構成する微分回路と、前記出力信号の大きさが特定閾値電圧を超える時出力パルスを構成する前記弁別回路出力信号にตอบสนองして動作する電圧弁別手段と、計数部と、前記電圧弁別手段からの各出力パルスにตอบสนองして前記計数部に特定計数値を導入するために前記電圧弁別手段を前記計数部に結合する中継手段と、前記計数手段の蓄積デジタル値を周期的に除去し前記計数部の計数値を周期的に軽減してゆく手段と、もし前記計数部の計数値が第2設定値と等しくない場合前記計数手段がリセットされた後に周期的にこの蓄積手段に特定デジタル値を導入するため前記計数部にตอบสนองして動作する手段とからなる前記第5項に記載の方式。

(15) 瞬時パルスは前記アナログ信号に重畳してい

特開第49-24458(6)

るとき出力パルスを構成する前記微分回路出力信号にตอบสนองして動作するものである特許請求の範囲に記載の方式。

(16) 複合信号は重畳した瞬時信号をもつ電圧信号より成る特許請求の範囲に記載の方式。

(17) 互いに関連性をもつアナログ信号と瞬時パルスを表わす一直のデジタル信号を生成するアナログ-デジタル変換装置が、前記アナログ信号を間接的に標準化する前記手段と、標準化されるアナログ信号の大きさを表わすデジタル信号を生成するため前記標準化手段にตอบสนองして動作するアナログ-デジタル変換手段と、前記デジタル信号を蓄積する記憶手段と、前記記憶手段に特定組合せの信号を導入するために前記瞬時パルスにตอบสนองする手段とより成るアナログ-デジタル変換方式。

(18) 前記記憶手段への信号導入手段が、前記各瞬時パルスにตอบสนองして前記レジスタ手段に同一の特

る範囲に記載の方式。

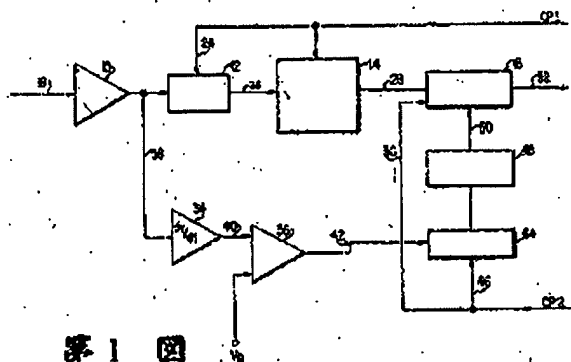
4. 図面の簡単な説明

第1図は本発明に従って構成したアナログ-デジタル変換装置のプロック図、第2図はアナログ信号とそれ上に重畳した瞬時パルスで構成された複合信号と第1図の図解に利用される各タイミングパルスを表わす説明図である。

10・・・増巾部、12・・・標準化ゲート、14・・・アナログ-デジタル変換部、16・・・バッファレジスタ、20・・・アナログ信号、22・・・瞬時パルス、24・・・微分回路、26・・・比較増幅器、44・・・カウンタ、48・・・非ゼロ検出部。

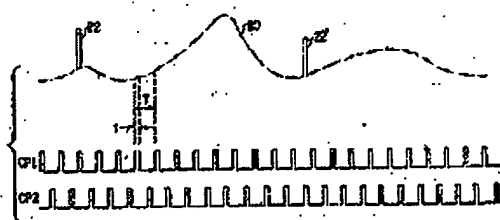
6. 前記以外の発明者、特許出願人または代理人

(1) 發明書



第 1 圖

(2) 轉許出願人



第2圖

(8) 代理人

大阪府北区万才町43番地 浅達ビル (郵便番号 530)

電話大坂 (06) 512-5123・7805 361-8401

夫 迎 岡 派 士 郎 (6026)

